

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-078471

(43)Date of publication of application : 20.03.1995

(51)Int.Cl.

G11C 11/407

G05F 3/24

H01L 27/04

H01L 21/822

H03G 3/20

(21)Application number : 05-225337

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.09.1993

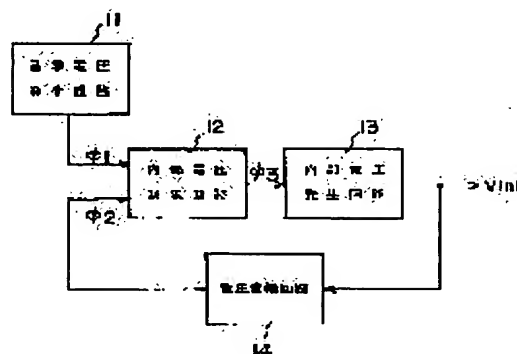
(72)Inventor : KANEKO TETSUYA
OSAWA TAKASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent an adverse effect due to the fluctuation in a threshold value by controlling an internal voltage high and low with the high and low of the threshold value of a MOS transistor for monitoring threshold value.

CONSTITUTION: The internal voltage V_{int} generated by an internal voltage generation circuit 13, is controlled to a fixed value in proportion to a reference voltage ϕ_{11} by the closed loop of an internal voltage limit circuit 12, the circuit 13 and a voltage conversion circuit 14. At this time, the output voltage ϕ_{12} of the circuit 14 becomes the value reflecting the threshold value of the MOS transistor for monitoring threshold value. When the threshold value becomes high, the voltage ϕ_{12} becomes low. Then, by the circuit 12, it is controlled so that the voltage V_{int} becomes high. Further, when the threshold value becomes low, the voltage ϕ_{12} becomes high, and by the circuit 12, it is controlled so that the voltage V_{int} becomes low. Thus, the value of the voltage V_{int} is controlled to the value according to the threshold value of the MOS transistor for monitoring threshold value provided in the circuit 14.



LEGAL STATUS

[Date of request for examination] 26.04.1999

[Date of sending the examiner's decision of rejection] 29.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. ⁶
G11C 11/407
G05F 3/24
H01L 27/04

識別記号

F I

Z 4237-5H

8832-4M

G11C 11/34

354

F

H01L 27/04

G

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平5-225337

(22) 出願日 平成5年(1993)9月10日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 金子 哲也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 大沢 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

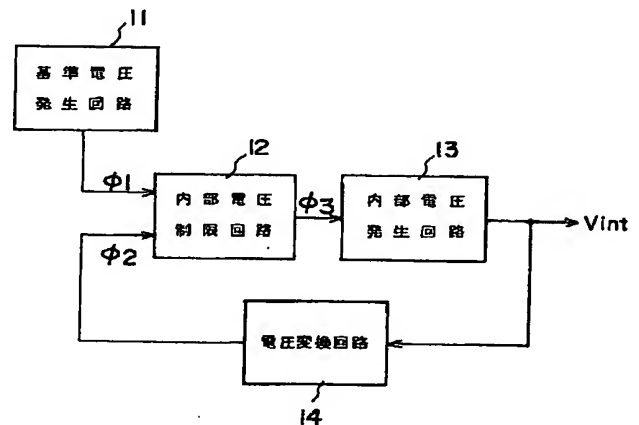
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 この発明は、内部電圧発生回路で発生される電圧を電源電圧として用いる内部回路におけるMOSトランジスタの閾値変動による悪影響を防止することを目的とする。

【構成】 外部印加電源電圧VCCとは異なる内部電圧Vintを発生する内部電圧発生回路13と、閾値をモニタするためのMOSトランジスタを含み、上記内部電圧発生回路13で発生される内部電圧Vintの値がこの閾値モニタ用のMOSトランジスタの閾値に応じて変化するように上記内部電圧発生回路を制御する電圧変換回路14及び内部電圧制限回路12とを具備し、閾値モニタ用のMOSトランジスタの閾値が高い場合には内部電圧発生回路13で発生される内部電圧の値を高くし、閾値モニタ用のMOSトランジスタの閾値が低い場合には内部電圧発生回路13で発生される内部電圧の値を低くするように制御することを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された半導体集積回路であって、

外部印加電源電圧とは異なる内部電圧を発生する内部電圧発生手段と、

閾値をモニタするための MOS トランジスタを含み、上記内部電圧発生手段で発生される内部電圧の値がこの閾値モニタ用の MOS トランジスタの閾値に応じて変化するように上記内部電圧発生手段を制御する制御手段とを具備し、

上記制御手段は、上記閾値モニタ用の MOS トランジスタの閾値が高い場合には上記内部電圧発生手段で発生される内部電圧の値を高くし、上記閾値モニタ用の MOS トランジスタの閾値が低い場合には上記内部電圧発生手段で発生される内部電圧の値を低くするように制御することを特徴とする半導体集積回路。

【請求項 2】 前記閾値モニタ用の MOS トランジスタが、前記内部電圧発生手段を制御する制御手段のフィードバックループ内に含まれていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記内部電圧発生手段が昇圧回路であることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】 前記内部電圧発生手段が降圧回路であることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 5】 前記内部電圧発生手段がワード線の駆動に用いられる電圧を発生するものであり、前記閾値モニタ用の MOS トランジスタはダイナミック型メモリセルのセルトランスファゲート用の MOS トランジスタと等価な構成されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 6】 前記内部電圧発生手段で発生される内部電圧が内部降圧電圧を発生する MOS トランジスタのゲートに供給されており、前記閾値モニタ用の MOS トランジスタは上記内部降圧電圧発生用の MOS トランジスタと等価な構成されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 7】 半導体基板上に形成された半導体集積回路であって、

制御信号に応じて動作が制御され、外部印加電源電圧とは異なる内部電圧を発生する内部電圧発生手段と、

閾値をモニタするための MOS トランジスタを含み、上記内部電圧発生手段で発生された内部電圧を、その値がこの閾値モニタ用の MOS トランジスタの閾値に応じて変化すると共に内部電圧よりも低いレベルの電圧に変換する電圧変換手段と、

基準電圧を発生する基準電圧発生手段と、

上記基準電圧と上記電圧変換手段で変換された電圧とを比較してその大小関係に応じた信号を発生し、上記内部

電圧発生手段に対して制御信号として供給する電圧比較手段とを具備したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 この発明は内部電源電圧発生回路を備えた MOS 型の半導体集積回路に係り、特に MOS トランジスタの閾値の変動を考慮した改良に関する。

【 0 0 0 2 】

【従来の技術】 現在のダイナミック・ランダム・アクセス・メモリ (DRAM) においては、外部印加電源電圧をそのまま用いるよりもむしろ、集積回路自体で電圧を発生させることが望ましい。これは、集積回路内部で必要とされる電圧レベルが複数であっても、集積回路に接続される外部印加電源電圧を単一にすることを可能にする。現在の DRAM では外部印加電源電圧を単一として、他に必要な電圧は集積回路内部で発生させる方法が取られている。

【 0 0 0 3 】 また、内部電圧発生回路としては、基板ないしウエル電位を供給する基板電位発生回路、内部電源として用いる内部電源電圧発生回路、内部基準電圧として用いる基準電圧発生回路等がある。これら内部電圧発生回路の出力電圧は、動作マージンや信頼性の確保を狙って設定されている。しかし、MOS トランジスタの閾値はプロセス的な変動要因のために変動することが知られている。このため、特に内部電圧を内部電源電圧として使用する場合に、MOS トランジスタの閾値が高いにもかかわらず内部電圧を一定にしてしまうと、内部回路の動作マージンの低下を引き起こしてしまう。このように内部電圧発生回路を備えた従来の半導体集積回路ではプロセスばらつきへの対策が不十分である。上記の例は特に DRAM に関する場合であるが、DRAM 以外の他の半導体集積回路にも多くの場合に当てはまる。

【 0 0 0 4 】

【発明が解決しようとする課題】 このように内部電圧発生回路を備えた従来の半導体集積回路は、MOS トランジスタの閾値変動が内部回路に対して悪影響を与えるという欠点がある。この発明は上記のような事情を考慮してなされたものであり、その目的は、内部電圧発生回路で発生される電圧を電源電圧として用いる内部回路における MOS トランジスタの閾値変動による悪影響を防止することができる半導体集積回路を提供することである。

【 0 0 0 5 】

【課題を解決するための手段】 この発明の半導体集積回路は、外部印加電源電圧とは異なる内部電圧を発生する内部電圧発生手段と、閾値をモニタするための MOS トランジスタを含み、上記内部電圧発生手段で発生される内部電圧の値がこの閾値モニタ用の MOS トランジスタの閾値に応じて変化するように上記内部電圧発生手段を制御する制御手段とを具備し、上記制御手段は、上記閾

値モニタ用のMOSトランジスタの閾値が高い場合には上記内部電圧発生手段で発生される内部電圧の値を高くし、上記閾値モニタ用のMOSトランジスタの閾値が低い場合には上記内部電圧発生手段で発生される内部電圧の値を低くするように制御することを特徴とする。

【0006】

【作用】閾値モニタ用のMOSトランジスタの閾値が高い場合には内部電圧発生手段で発生される内部電圧の値が高くなるように制御され、閾値モニタ用のMOSトランジスタの閾値が低い場合には内部電圧発生手段で発生

【0007】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1はこの発明の半導体集積回路の要部の基本的な構成を示すブロック図である。図において、11は基準電圧発生回路、12は内部電圧制限回路、13は内部電圧発生回路、14は電圧変換回路である。これらの各回路は同一半導体基板上に形成されている。

【0008】基準電圧発生回路11は、外部印加電源電圧VCCに対する電圧依存性が小さく、かつ、温度依存性の小さい基準電圧 ϕ_1 を発生する回路であり、例えばバイポーラトランジスタを用いたバンドギャップレファレンス回路や、チャネルイオン注入を行っていないMOSトランジスタを用いてほぼ一定の電圧を発生する回路等、種々の形式のものが考えられる。

【0009】内部電圧制限回路12は、上記基準電圧発生回路11で発生される基準電圧 ϕ_1 と電圧変換回路14の出力電圧 ϕ_2 とを比較し、その大小関係に応じた信号 ϕ_3 を発生する。この信号 ϕ_3 は内部電圧発生回路13に供給される。

【0010】内部電圧発生回路13は外部印加電源電圧VCCとは異なる内部電圧Vintを発生するものであり、その動作は上記信号 ϕ_3 によって制御される。この内部電圧発生回路13としては例えば、チャージポンプを用いた昇圧回路や降圧回路等が使用される。

【0011】電圧変換回路14は、閾値補償するための閾値モニタ用のMOSトランジスタを備えており、内部電圧発生回路13で発生される内部電圧Vintの値が設定値になったときに出力電圧 ϕ_2 が上記基準電圧発生回路11の基準電圧 ϕ_1 と等しくなるように内部電圧Vintの電

圧変換を行うものである。

【0012】このような構成でなる回路では、内部電圧制限回路12、内部電圧発生回路13及び電圧変換回路14からなる閉ループにより、内部電圧発生回路13で発生される内部電圧intが基準電圧 ϕ_1 に比例した一定の値となるように制御される。このとき、電圧変換回路14の出力電圧 ϕ_2 は閾値モニタ用のMOSトランジスタの閾値を反映した値となっている。このため、内部電圧intの値はこの閾値モニタ用のMOSトランジスタの閾値に応じ

スタの閾値が高くなると電圧変換回路14の出力電圧 ϕ_2 はこれに応じて低くなる。このとき、内部電圧制限回路12は内部電圧発生回路13の出力電圧intが高くなるように制御する。一方、閾値モニタ用のMOSトランジスタの閾値が低くなると電圧変換回路14の出力電圧 ϕ_2 はこれに応じて高くなる。このとき、内部電圧制限回路12は内部電圧発生回路13の出力電圧intが低くなるように制御する。従って、内部電圧intの値は電圧変換回路14内に設けられた閾値モニタ用のMOSトランジスタの閾値に応じた値となるように制御される。

【0013】図2はこの発明の第1の実施例の構成を示すブロック図であり、この発明をDRAMに実施した場合である。なお、図1と対応する箇所には同じ符号を付して説明を行う。

【0014】この実施例において、前記内部電圧制限回路12として電圧比較回路15が用いられており、かつ前記内部電圧発生回路13として昇圧回路を含むワード線駆動電圧発生回路16が用いられている。

【0015】また、上記ワード線駆動電圧発生回路16で発生される内部電圧Vintは行デコーダ17にデータ書き込み用の電圧として供給されている。この行デコーダ17はデータの書き込み時に、アドレス信号に応じてこの内部電圧Vintをワード線WLに選択的に供給する。上記ワード線WLにはセルトランスファゲート用のNチャネルMOSトランジスタ18とデータ記憶用のキャパシタ19とからなるDRAMメモリセル20が接続されている。また、このメモリセル20にはビット線BLが接続されている。

【0016】前記電圧変換回路14内には、上記メモリセル20内のセルトランスファゲート用のMOSトランジスタ18の閾値変動を補償するためにこのMOSトランジスタ18と等価な、すなわちチャネル長やチャネル幅等の寸法が等しくされかつ閾値が等しくなるように等しいドーズ量でチャネルイオン注入が行われた閾値検出用のNチャネルMOSトランジスタ21が設けられている。また、電圧変換回路14内には、前記内部電圧Vintを分圧するための手段として例えば2個の抵抗22、23が設けられている。

【0017】上記MOSトランジスタ21のドレイン及びゲートは上記ワード線駆動電圧発生回路16の出力端に接続されている。また、このMOSトランジスタ21のソースと接地電圧との間には上記2個の抵抗22、23が接続され、両抵抗22、23の接続点から前記電圧 ϕ_2 が出力される。

【0018】このような構成でなるDRAMにおいて、ワード線駆動電圧発生回路16で発生される内部電圧Vintの値は、メモリセル20内のセルトランスファゲート用のMOSトランジスタ18の閾値が設計値のときに、メモリセル20でデータの書き込みを行う際に十分な書き込み特性が得られるような最小値に設定される。このとき、

セルトランスファゲート用のMOSトランジスタ18の閾値がプロセスのばらつきにより設計値からずれた場合、電圧変換回路14内のMOSトランジスタ21の閾値も上記MOSトランジスタ18と同様にずれ、このずれの分だけワード線駆動電圧発生回路16で発生される内部電圧 V_{int} の値が補正されるので、データの書き込み時に、ワード線WLには常にメモリセル20で十分な書き込み特性が得られるような電圧が供給される。

【0019】なお、この実施例ではセルトランスファゲート用のMOSトランジスタ18の閾値がプロセスのばらつきによって変化したときに内部電圧 V_{int} の値が補正される場合を説明したが、他の何等かの原因によってMOSトランジスタ18の閾値が変化した場合にも同様に内部電圧 V_{int} の値は補正されるものである。

【0020】図3はこの発明の第2の実施例の構成を示すブロック図である。この実施例の場合にも、図1と対応する箇所には同じ符号を付して説明を行う。この実施例において、前記内部電圧制限回路12として図2の実施例の場合と同様に電圧比較回路15が用いられており、前記内部電圧発生回路13として内部昇圧回路24が用いられて

20 いる。
【0021】また、上記内部昇圧回路24で発生される内部電圧 V_{int} は外部印加電源電圧VCCを降圧して内部回路に供給する降圧用のNチャネルのMOSトランジスタ25のゲートに供給される。

【0022】前記電圧変換回路14内には、上記降圧用のNチャネルのMOSトランジスタ25の閾値変動を補償するためにこのMOSトランジスタ25と等価な構成の閾値検出用のNチャネルMOSトランジスタ26が設けられて

30 いる。また、電圧変換回路14内には、内部昇圧回路24で発生される内部電圧 V_{int} を分圧するための手段として図2の実施例の場合と同様に2個の抵抗22、23が設けられている。
【0023】このような構成でなる回路では、外部印加電圧源電圧VCCを降圧して内部回路に供給する際に、降圧用のMOSトランジスタ25の閾値がプロセスのばらつきによって変化したときに内部電圧 V_{int} の値がその変化による影響を打ち消すように補正される。これにより内部回路には降圧用のMOSトランジスタ25の閾値にかかわらずに常に一定の降圧電圧が供給される。

40 【0024】図4はこの発明の第3の実施例の構成を示すブロック図である。この実施例の場合にも、図1と対応する箇所には同じ符号を付して説明を行う。この実施例において、前記内部電圧制限回路12として図2の実施例の場合と同様に電圧比較回路15が用いられている。また、前記内部電圧発生回路13としてPチャネルMOSトランジスタ27からなる内部降圧回路28が用いられている。そして、この内部降圧回路28で発生される内部電圧 V_{int} は内部回路に供給されている。

50 【0025】前記電圧変換回路14内には、上記内部電圧

V_{int} が供給される図示しない内部回路内に設けられたNチャネルのMOSトランジスタの閾値変動を補償するためにこの内部MOSトランジスタと等価な構成の閾値検出用のNチャネルMOSトランジスタ29が設けられている。また、電圧変換回路14内には、内部降圧回路28で発生される内部電圧 V_{int} を分圧するための手段として図2の実施例の場合と同様に2個の抵抗22、23が設けられている。

【0026】このような構成でなる回路では、外部印加電圧源電圧VCCを降圧して内部回路に供給する際に、内部のNチャネルのMOSトランジスタの閾値がプロセスのばらつきによって変化したときに内部電圧 V_{int} の値がその変化による影響を打ち消すように補正される。

【0027】次に上記各実施例回路の各回路部分の詳細な構成を説明する。図5は、上記各実施例回路で使用される基準電圧発生回路11の詳細な構成を示している。

【0028】この基準電圧発生回路11は、前記のようにバイポーラトランジスタを用いたバンドギャップレファレンス回路や、チャネルイオン注入を行っていないMOSトランジスタを用いてほぼ一定の電圧を発生する回路等、種々の形式のものが考えられるが、この図5に示すものではバンドギャップレファレンス回路を用いている。

【0029】この回路は、定電流源31、3個のnpn型のバイポーラトランジスタ32、33、34及び3個の抵抗35、36、37を用いて構成されており、負の温度係数を持つバイポーラトランジスタのエミッタ・ベース間電圧 V_1 と、バイポーラトランジスタに流れるエミッタ電流密度に応じて V_1 の温度係数が変化することを利用して形成された正の温度係数を持つ抵抗35における降下電圧 V_2 とを加算することによって温度依存性のない安定した基準電圧 ϕ_1 を得ることができる。

【0030】図6は上記基準電圧発生回路11の図5とは異なる他の回路の詳細な構成を示している。図6(a)のものは、抵抗41と直列接続されたn個のダイオード42、42、…とから構成されている。この回路において、基準電圧 ϕ_1 の値は各ダイオードの順方向電圧 V_F のn倍の電圧と各ダイオードの等価オン抵抗の値で規定することができる。図6(b)のものは、図6(a)のダイオード42をPチャネルのMOSトランジスタ43に置き換えたものであり、この場合にはMOSトランジスタ43の閾値 V_{th} のn倍の電圧とMOSトランジスタ43の等価オン抵抗の値で規定することができる。図6(c)のものは、図6(b)の抵抗41をPチャネルのMOSトランジスタ44に置き換えたものである。図6(d)のものは、図6(c)のPチャネルのMOSトランジスタ44、43をそれぞれNチャネルのMOSトランジスタ45、46に置き換えたものである。

【0031】このように基準電圧発生回路11として種々の構成のものを使用することができる。また、基準電圧

発生回路11で発生される基準電圧 $\phi 1$ を、抵抗分圧等の電圧変換手段によって電圧変換しても本質的には同じであることは明らかである。

【0032】図7は図2、図3、図4中の電圧比較回路15の詳細な構成を示している。この回路では、2個のPチャネルのMOSトランジスタ51、52と2個のNチャネルのMOSトランジスタ53、54とから構成された周知のものであり、NチャネルのMOSトランジスタ53、54の両ゲートに上記電圧 $\phi 2$ と $\phi 1$ がそれぞれ供給され、両電圧の大小関係に応じた信号 $\phi 3$ がMOSトランジスタ52と54の接続点から出力される。

【0033】図8は図2中のワード線駆動電圧発生回路16で使用する昇圧回路、又は図3中の内部昇圧回路24の詳細な構成を示している。昇圧回路には種々の形式のものがあるが、ここでは一例としてチャージポンプ型昇圧回路を示している。このチャージポンプ型昇圧回路は、クロック発振器61と、バッファ回路62及びチャージポンプ回路63とから構成されている。この例はクロック発振器61として最も簡単な場合であり、5段リング発振器が用いられている。すなわち、それぞれPチャネルのMOSトランジスタとNチャネルのMOSトランジスタからなる5個のCMOSインバータ71、72、73、74、75が多段接続されており、終段のインバータ75の出力が初段のインバータ71に帰還されている。そして、初段のインバータ71のNチャネル側のMOSトランジスタのソースと接地電圧との間には、ゲートに前記電圧比較回路15の出力信号 $\phi 3$ が供給されるNチャネルのMOSトランジスタ76のソース・ドレイン間が挿入されている。また、2段目のインバータ72のPチャネル及びNチャネルのMOSトランジスタのゲート共通接続点と外部印加電源電圧VCCとの間には、ゲートに上記信号 $\phi 3$ が供給されるPチャネルのMOSトランジスタ77のソース・ドレイン間が挿入されている。

【0034】そして、3段目のインバータ73の出力がバッファ回路62に供給される。このバッファ回路62は直列接続された2個のインバータ78、79によって構成され、その出力はチャージポンプ回路63に供給される。

【0035】チャージポンプ回路63はキャパシタ80と2個のダイオード81、82を用いた周知のものである。このような構成でなる昇圧回路において、信号 $\phi 3$ が“L”レベルのとき、クロック発振器61内の初段のインバータ71に接続されたNチャネルのMOSトランジスタ76はオフ状態であり、このインバータ71には電流が流れないので発振動作しない。このとき、2段目のインバータ72に接続されているPチャネルのMOSトランジスタ77はオン状態になっており、この2段目のインバータ72の入力信号の初期値は“H”レベルに設定されている。

【0036】電圧比較回路15の出力信号 $\phi 3$ が“H”レベルになると、クロック発振器61の動作が開始される。すなわち、信号 $\phi 3$ が“H”レベルになり、初段のイン

バータ71に接続されたNチャネルのMOSトランジスタ76がオン状態になると、このインバータ71が動作可能になる。このとき、予め2段目のインバータ72の入力信号の初期値は“H”レベルに設定されており、終段のインバータ75の出力信号は“H”レベルに設定されているため、インバータ71が動作することによってこの“H”レベルの信号が反転されて2段目のインバータ72に供給される。この時、上記初期値設定用のPチャネルのMOSトランジスタ67はオフ状態になっているため、2段目のインバータ72に対する入力信号が順次反転され、発振動作が起こる。従って、上記MOSトランジスタ76は発振動作を制御するスイッチとして働き、またMOSトランジスタ77は発振の停止時に各インバータに初期値を与えるためのスイッチとして働く。なお、上記MOSトランジスタ77は必ずしも必要なものではなく、従ってこのMOSトランジスタ77は省略することもできる。

【0037】バッファ回路62は、クロック発振器61で得られた発振信号よりチャージポンプ回路63内のキャパシタ80を駆動するに十分な電流を供給するために設けられている。

【0038】また、チャージポンプ回路63において、ダイオード81はバッファ回路62からの出力信号が“H”(VCC)レベルから“L”(接地)レベルに低下する際に、外部印加電源電圧VCCの回路点からキャパシタ80へ正の電荷を流し、逆にバッファ回路62からの出力信号が“L”レベルから“H”レベルに上昇する際には電荷の流れを阻止するように働く。同様に、ダイオード82はバッファ回路62からの出力信号が“H”レベルから“L”レベルに低下する際に、Vintからの電荷の流れを阻止し、逆にバッファ回路62からの出力信号が“L”レベルから“H”レベルに上昇する際には正の電荷をVint側に流すように働く。従って、正の電荷はVCCからVintへと流れ、VintはVCCよりも高くなる。

【0039】図8に示したチャージポンプ回路は最も単純な例であり、この他の構成のチャージポンプ回路を用いて昇圧された電圧を発生させるようにしてもよい。例えば2相のクロック信号で制御されるようなもの等も使用できる。

【0040】図9は上記図2の実施例回路中の電圧変換回路14の他の詳細な構成を示している。図9(a)のものは、前記MOSトランジスタ21と内部電圧Vintとの間に抵抗91を挿入したものである。また、図9(b)のものはMOSトランジスタ21と抵抗23との間に接続されていた前記抵抗22を、内部電圧VintとMOSトランジスタ21との間に接続し直したものである。なお、図3、図4の各実施例でも上記図9に示すような構成の電圧変換回路を用いることができる。

【0041】

【発明の効果】以上説明したようにこの発明によれば、内部電圧発生回路で発生される電圧を電源電圧として用

10

20

30

40

50

いる内部回路におけるMOSトランジスタの閾値変動による悪影響を防止することができる半導体集積回路を提供することができる。

【図面の簡単な説明】

【図 1】 この発明の半導体集積回路の要部の基本的な構成を示すブロック図。

【図 2】 この発明の第 1 の実施例のブロック図。

【図 3】 この発明の第 2 の実施例のブロック図。

【図 4】 この発明の第 3 の実施例のブロック図。

【図 5】 第 1、第 2 及び第 3 の各実施例回路中の基準電圧発生回路の詳細な構成を示す回路図。

【図 6】 基準電圧発生回路の他の詳細な構成を示す回路図。

【図 7】 第 1、第 2 及び第 3 の各実施例回路中の電圧比較回路の詳細な構成を示す回路図。

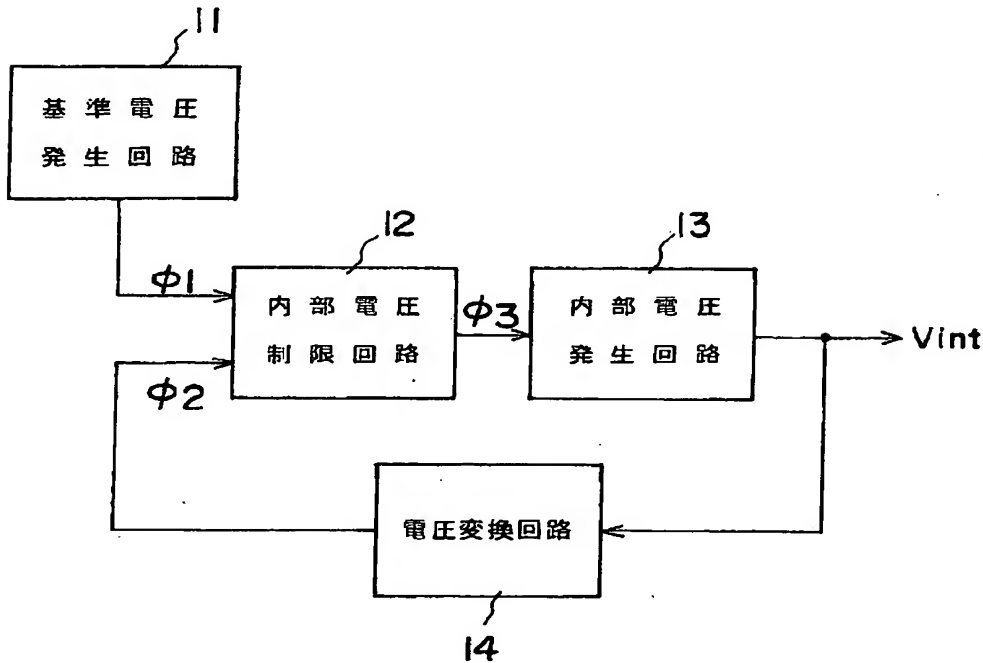
【図 8】 図 2 中のワード線駆動電圧発生回路で使用される昇圧回路、又は図 3 中の内部昇圧回路の詳細な構成を示す回路図。

【図 9】 図 2 の実施例回路中の電圧変換回路の他の詳細な構成を示す回路図。

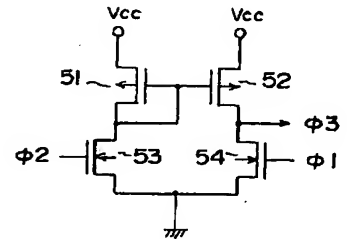
【符号の説明】

11…基準電圧発生回路、12…内部電圧制限回路、13…内部電圧発生回路、14…電圧変換回路、15…電圧比較回路、16…ワード線駆動電圧発生回路、17…行デコーダ、18…セルトランスファゲート用のMOSトランジスタ、19…データ記憶用のキャパシタ、20…DRAMメモリセル、21、26、29…閾値検出用のMOSトランジスタ、22、23…抵抗、24…内部昇圧回路、25…降圧用のMOSトランジスタ、28…内部降圧回路、61…クロック発振器、62…バッファ回路、63…チャージポンプ回路。

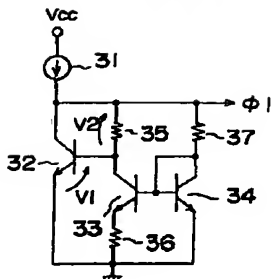
【図 1】



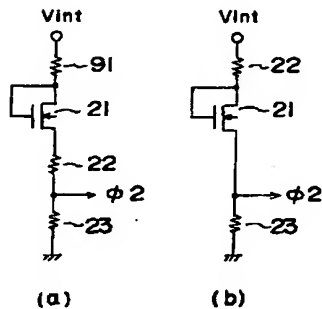
【図 7】



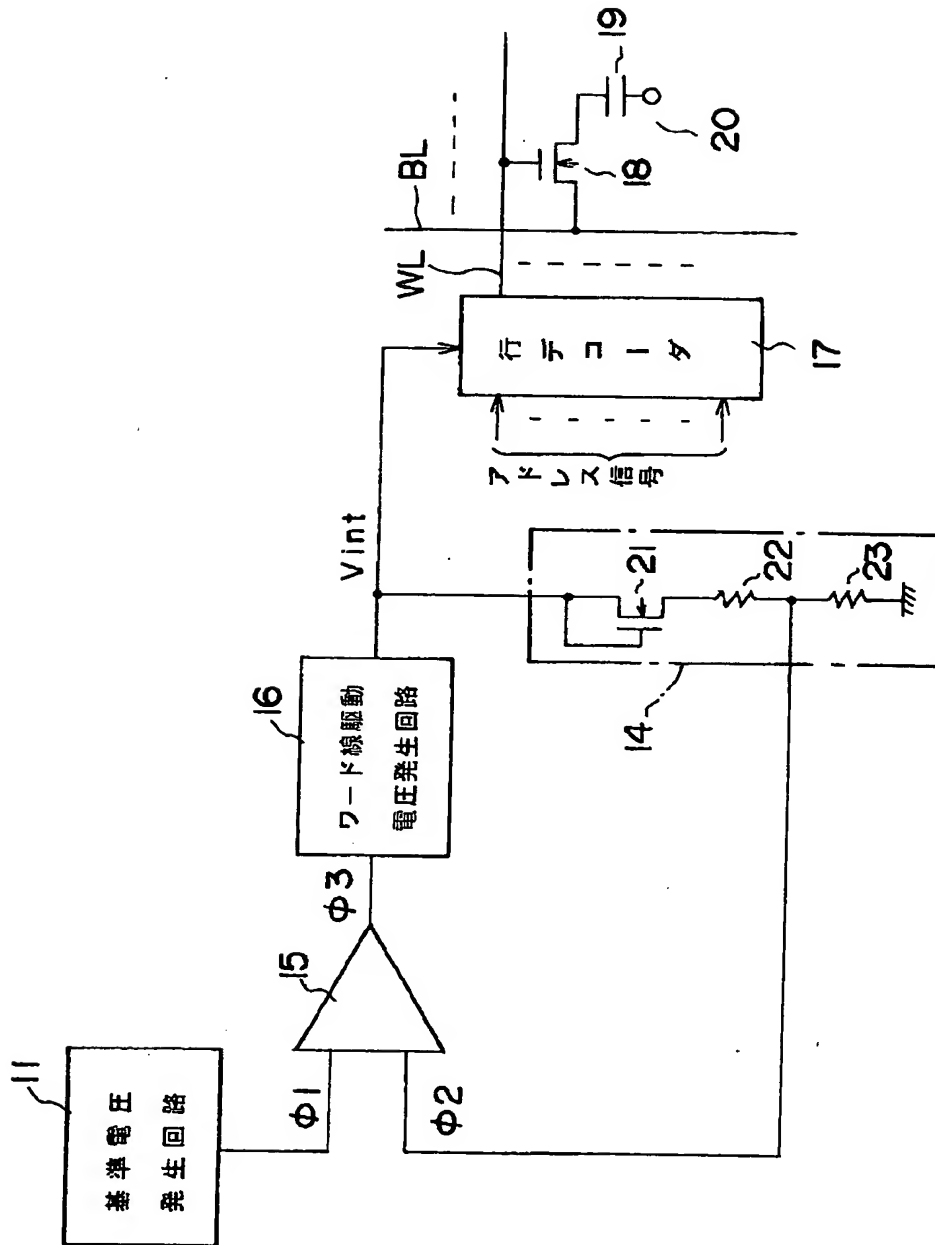
【図 5】



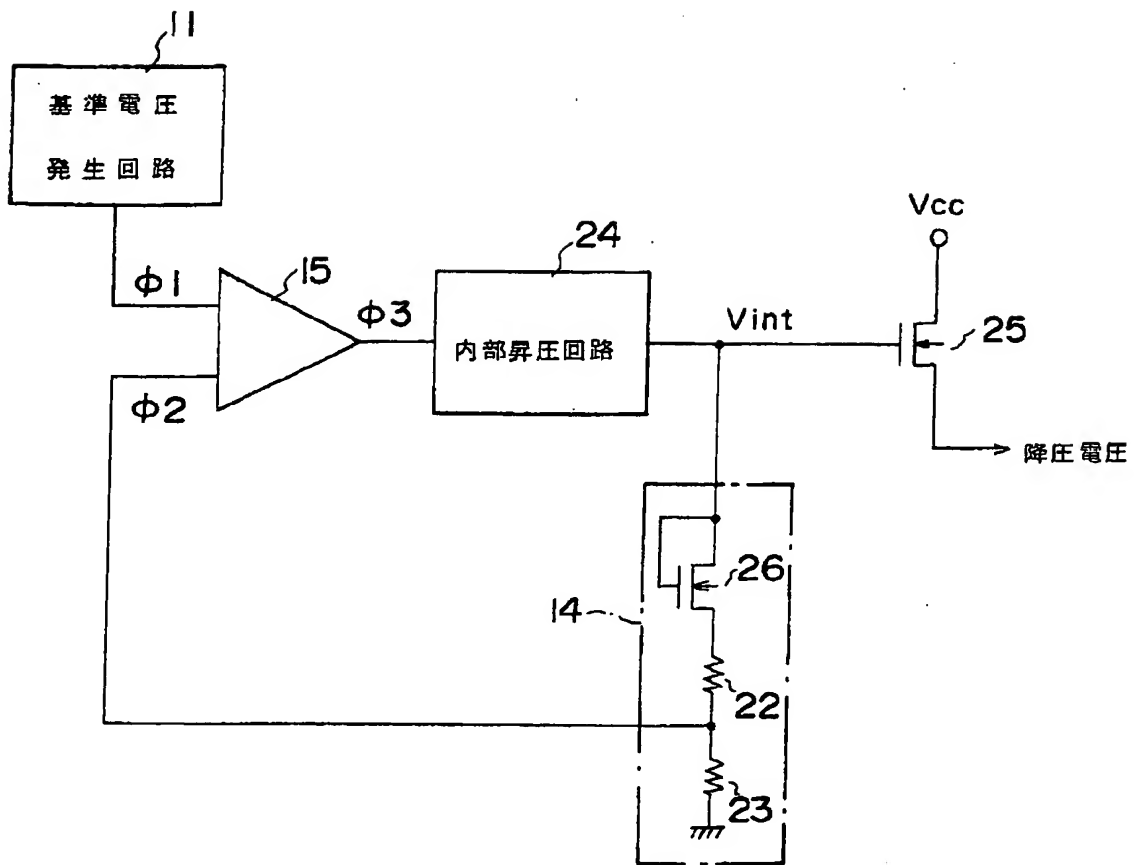
【図 9】



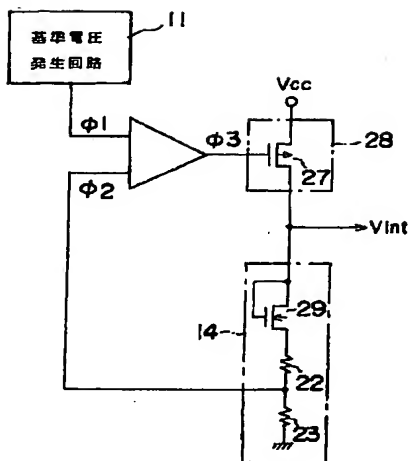
【図 2】



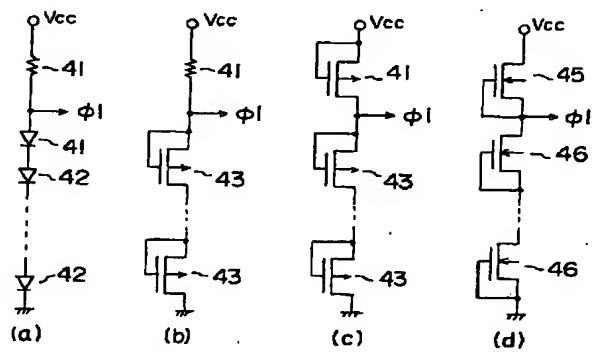
【図 3】



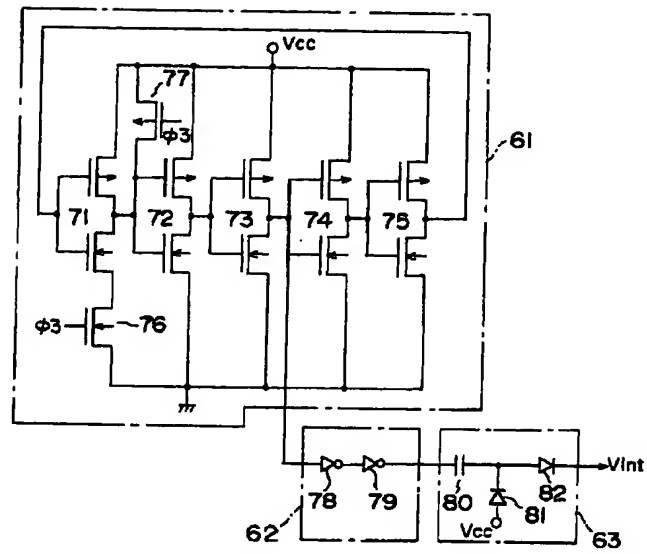
【図 4】



【図 6】



【図 8】



フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 21/822

H 0 3 G 3/20

識別記号

庁内整理番号

F I

技術表示箇所

Z